电路设计

D1.4

1000BASE-T 集成式网络接口 & 电流型 PHY

非 PoE | TD 磁性结构 | 外置端接电流型架构

方案简介

1. PHY 侧端接与偏置

R1-R8 各为 **49.9Ω±1%**，八条 MDI 线分别经电阻接 VBIAS；四路 PHY 侧中心抽头 CT_A-CT_D 同接 VBIAS。

2. 每处保留就近旁路

C1-C4 靠近各对端接，C5-C8 分别靠近四路 CT；各以 **10nF** 从 VBIAS 旁路至 GND。同一电源网仍保留各处就近旁路。

3. TD 结构与四对数据

每路为 **1:1 隔离变压器 + CMC**。A/B/C/D 分别接 RJ45 的 **1/2、3/6、4/5、7/8**；四对线全部参与双向收发。

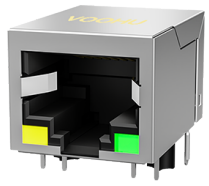
4. 共模端接与屏蔽

四路线缆侧变压器 CT 各经 75Ω 汇入 BS，再经 CBS（1nF / HV）接 SHIELD；金属壳直接接 SHIELD。图示 Bob Smith 为 J1 内部电路。

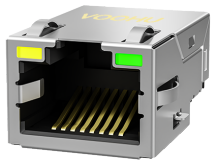
5. 适用范围

非 PoE；采用**外置端接、CT 需偏置供电**的电流型架构。VBIAS、最终旁路值和模块规格按选型核定；本图未设置 GND 与 SHIELD 的耦合网络。

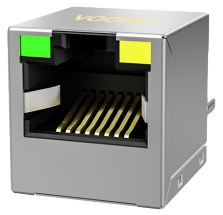
产品图示



- SYT-320DNL



- SYT211Q106-DB1A7CBS057

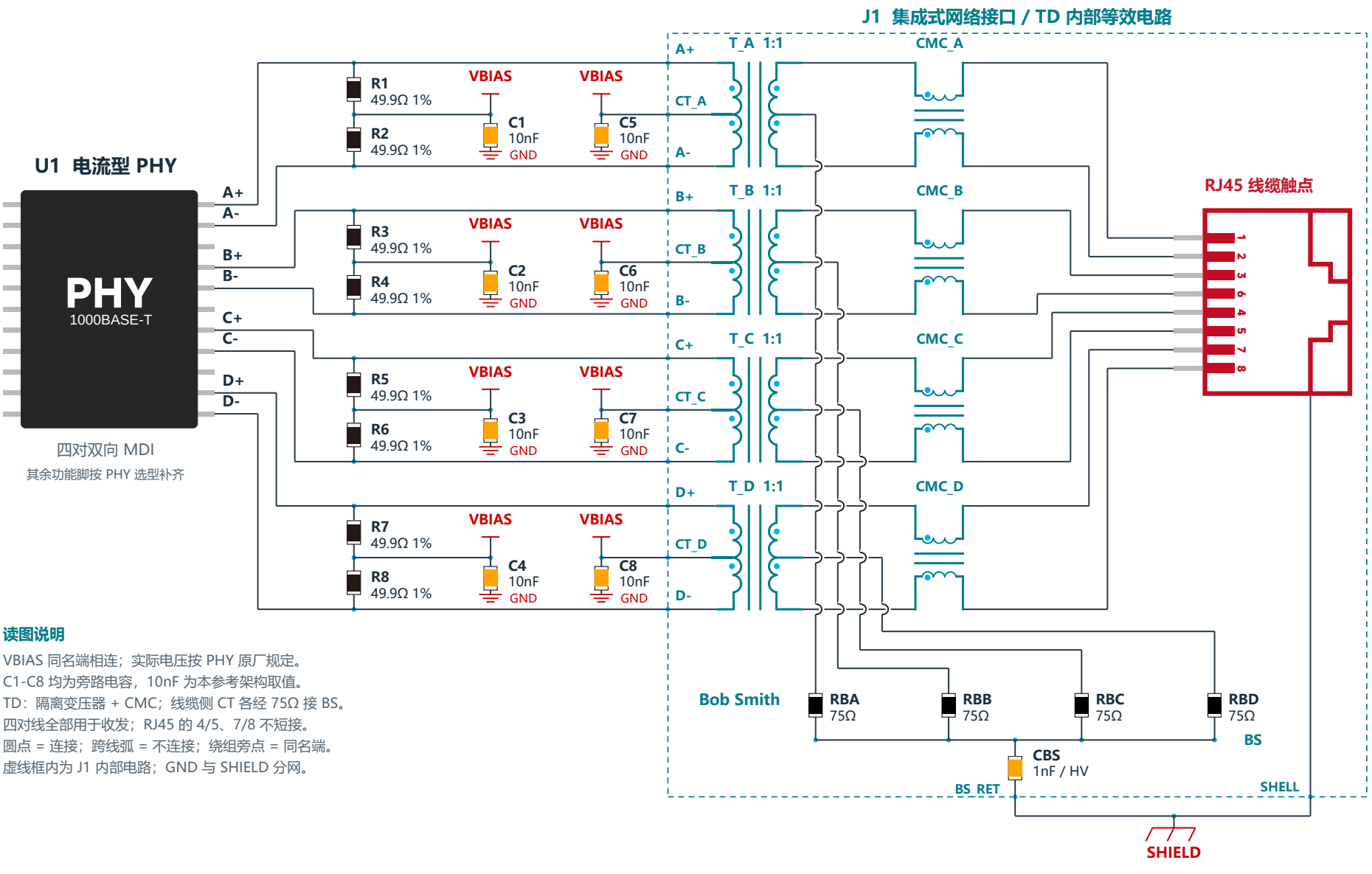


- SYT511Q070-AB1A8D



- SYT21Q042-DB2A4D068

标准设计参考

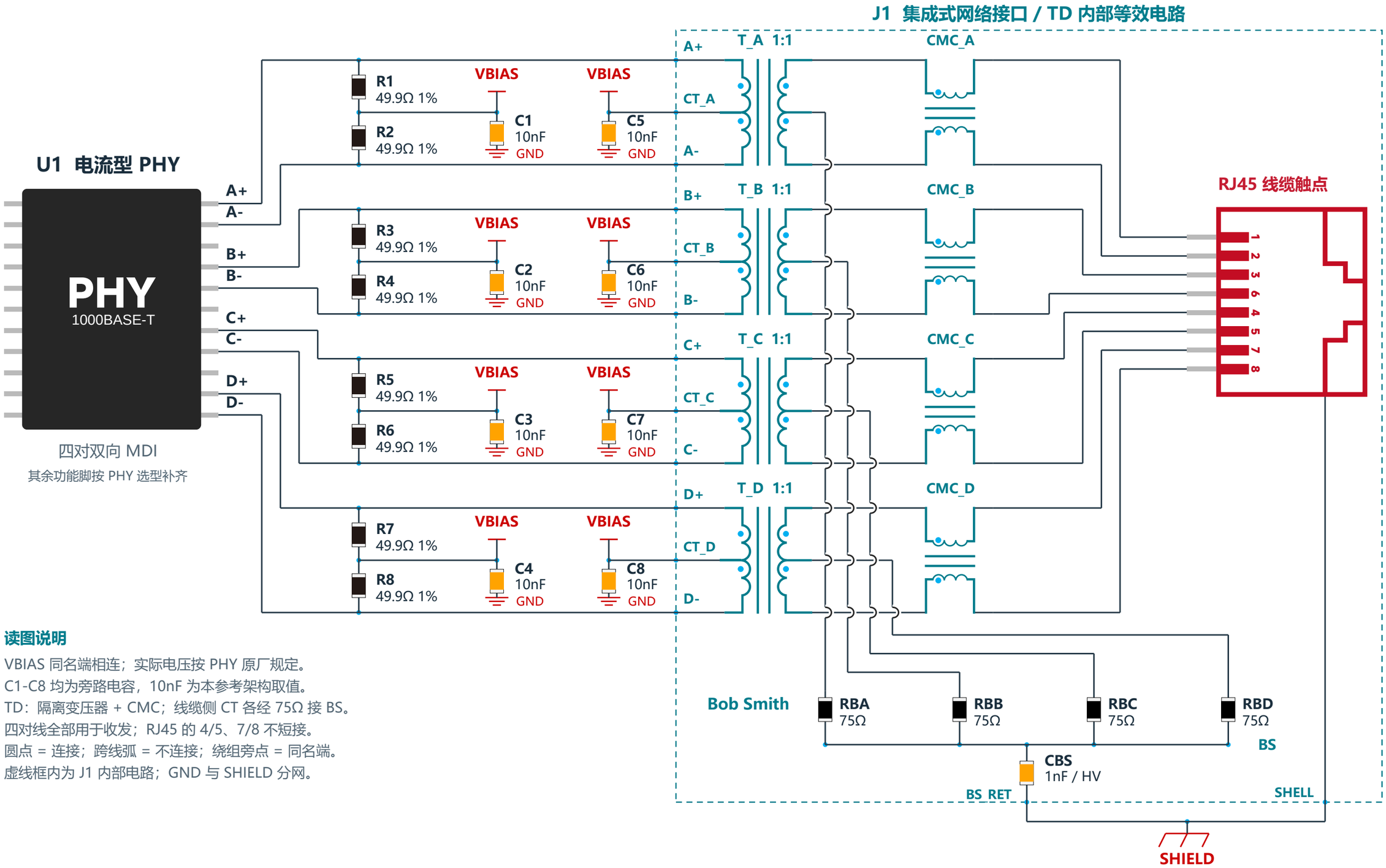


读图说明

VBIAS 同名端相连；实际电压按 PHY 原厂规定。
C1-C8 均为旁路电容，10nF 为本参考架构取值。
TD：隔离变压器 + CMC；线缆侧 CT 各经 75Ω 接 BS。
四对线全部用于收发；RJ45 的 4/5、7/8 不短接。
圆点 = 连接；跨线弧 = 不连接；绕组旁点 = 同名端。
虚线框内为 J1 内部电路；GND 与 SHIELD 分网。

1000BASE-T 集成式网络接口 & 电流型 PHY

非 PoE | TD 磁性结构 | 本页仅展开 MDI 模拟接口



读图说明

VBIAS 同名端相连；实际电压按 PHY 原厂规定。
C1-C8 均为旁路电容，10nF 为本参考架构取值。
TD：隔离变压器 + CMC；线缆侧 CT 各经 75Ω 接 BS。
四对线全部用于收发；RJ45 的 4/5、7/8 不短接。
圆点 = 连接；跨线弧 = 不连接；绕组旁点 = 同名端。
虚线框内为 J1 内部电路；GND 与 SHIELD 分网。

元件图形提取自用户旧稿；电气连接独立设计。功能端名不代表 PHY 或模块的封装脚号。

按原理图逐项解释器件与连接

电气依据采用半导体原厂资料；旧稿仅提供图形及展示素材。图中器件以功能和参数表示，不指定采购型号。

器件 / 参数	数量与位置	为何这样设计	依据与页码
U1 / 电流型 PHY	1 个，J1 外	四对 MDI 均双向收发。本图限定为需要外置并联端接、且 PHY 侧 CT 需供电的架构。其余电源、时钟、复位和 MAC 接口按所选 PHY 补齐。	TI E1 §8；Microchip E2 p2-4
R1-R8 / 49.9Ω±1%	8 颗，J1 外	A 对 R1/R2；B 对 R3/R4；C 对 R5/R6；D 对 R7/R8。每条线各经一颗电阻接 VBIAS，构成该架构的端接与偏置；端接中点不接 GND。	TI E1 p10 图8；Microchip E2 p2-3
C1-C4 / 10nF	4 颗，J1 外	依次对应 A/B/C/D 的端接中点，就近连接 VBIAS 与 GND，降低端接处偏置网络的高频阻抗。10nF 取自参考架构，不是所有 PHY 的统一规定。	TI E1 p10
C5-C8 / 10nF	4 颗，J1 外	分别旁路 CT_A/CT_B/CT_C/CT_D。CT 直连 VBIAS，电容为对地并联支路；各处就近放置，不能仅因同名电源而默认合并为一颗。	TI E1 p10 图8
VBIAS / 偏置网	同名端相连	为八颗端接及四个 PHY 侧 CT 提供所需偏置。电压及允许上限按 PHY 确认；本图不固定为 3.3V，也不把该网当作电路地。	TI E1 p10；Microchip E2 p2、4
T_A-T_D / 1:1	4 路，J1 内	传输差分信号并隔离 PHY 与线缆。PHY 侧 CT 接 VBIAS；线缆侧 CT 引至各自的 75Ω。匝比为 1:1；电感、损耗、串扰及隔离条件须匹配 PHY。	Microchip E2 p3-4；Microchip E4 p5 图3
CMC_A-CMC_D	4 路，J1 内	双绕组共模扼流圈串在线缆侧两条数据线上，与隔离变压器组成 TD 通道；用于抑制共模干扰。其差模插损及频率特性也须符合信号要求。	Microchip E4 p4-5，图3
TD / 四路磁性通道	4×T + 4×CMC	本图 TD 指隔离变压器加共模扼流圈，不含自耦绕组。Bob Smith 从 CMC 之前的变压器线缆侧 CT 引出；PHY 侧 CT 与之保持隔离。	Microchip E4 p5 图3；Microchip E2 p4
RBA-RBD / 75Ω	4 颗，J1 内	分别连接 T_A/T_B/T_C/T_D 的线缆侧 CT 与公共 BS。四路先各自经过 75Ω 后再汇合，形成共模端接；不得先将四个 CT 直接短接。外部不重复加装。	Microchip E2 p4；Microchip E4 p5 图3
CBS / 1nF，HV	1 颗，J1 内	BS 经电容交流耦合到 SHIELD，并隔断该支路直流。1nF 见 E1/E2；E1 示例为 3kV，E2 为 2kV。最终耐压及试验条件按模块核定，不能作为浪涌钳位器。	TI E1 p11；Microchip E2 p4
J1 / RJ45 与屏蔽壳	1 个集成模块	A→1/2、B→3/6、C→4/5、D→7/8，均为数据对。SHELL 直接接 SHIELD；虚线边框表示器件归属。图示模块含四路 TD、75Ω 及 CBS，选型须逐项确认。	Microchip E2 p4-5；Microchip E4 §3.8
GND / SHIELD	两个不同网络	GND 为 PHY 电路地；CBS 的屏蔽侧与金属壳同接 SHIELD。本图不规定 GND、机壳和 PE 的整机关联，也未画额外 RC 耦合支路。	TI E1 p11；Microchip E2 p5

原厂资料与采用范围

E1 • Texas Instruments
AN-1263 / SNLA056D，Rev. D，2013，p10-11。仅采用外置端接、CT 偏置和就近旁路；p14 的 TDA 图不作为本版 TD 结构依据。

E2 • Microchip / SMSC
LAN8810 QFN Schematic Checklist，Rev. B，2014，p2-5。交叉核对端接、CT 供电、线对映射、Bob Smith 与屏蔽。

E3 • 裕太微 / Motorcomm
《YT8511 的应用说明》V1.2，p3，原厂署名公开转载。该文为电压型、片内端接，仅用于架构排除，不作为本图电流型接法依据。

E4 • Microchip / Microsemi
ENT-AN0098 / VPPD-01740，Rev.2.2，2018-06，正文 p4-5（PDF p6-7），图3。仅采用线缆侧双绕组 CMC 的 TD 结构及 CT 端接位置；PHY 侧 CT 供电仍按 E1/E2。

使用边界：本图为非 PoE 的 MDI 接口参考电路。实际 PHY 和 MagJack 选型后需复核参数、封装脚号及整机接地，并进行链路、MDI、EMC 和绝缘验证；本文件核查不替代硬件测试。