电路设计

百兆电容式ChipLan&电压型PHY

100 m 目标 • 专项验证版

方案简介

1. 设计目标与适用条件

用于非 PoE 外接网口，目标最长 100 m。采用支持电容耦合、片内端接的电压型 PHY；本版为专项验证电路，100 m 互通及完整标准符合性尚未确认。

2. 信号耦合与保护

TD±、RD±各串接一颗 C1-C4（33 nF 参考值），用于隔直耦合。D1-D4 在电容的 PHY 侧分别接 GND，采用与 PHY 匹配的低容 TVS。电容不是电源去耦器件。

3. 共模滤波与网口连接

L1/L2 分别串入两组差分对。常规 MDI 下，TX± 接 RJ45 线缆触点 1/2，RX± 接 3/6；4、5、7、8 各自 NC。图中不设中心抽头供电、外置 49.9Ω 上拉或 Bob Smith 网络。

4. 接地与隔离

金属壳接 SHIELD，电路 GND 与 SHIELD 分网。C1-C4 及跨界间距按端口隔离试验选定，不能仅凭电容标称耐压判断。自耦绕组不作为隔离器件，不接入本图。

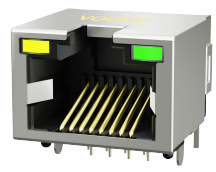
5. 落板要求

MDI 按 100Ω 差分阻抗设计，成对对称布置，TVS 回地短。PHY 电源、时钟、复位、MAC 与 LED 电路另行完成；产品图示保留原素材，具体匹配关系按选型核对。

产品图示



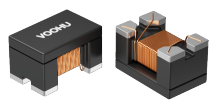
- SYT561188-AB1A3DY1027



- SYT60S1188-AB1A6DY1008

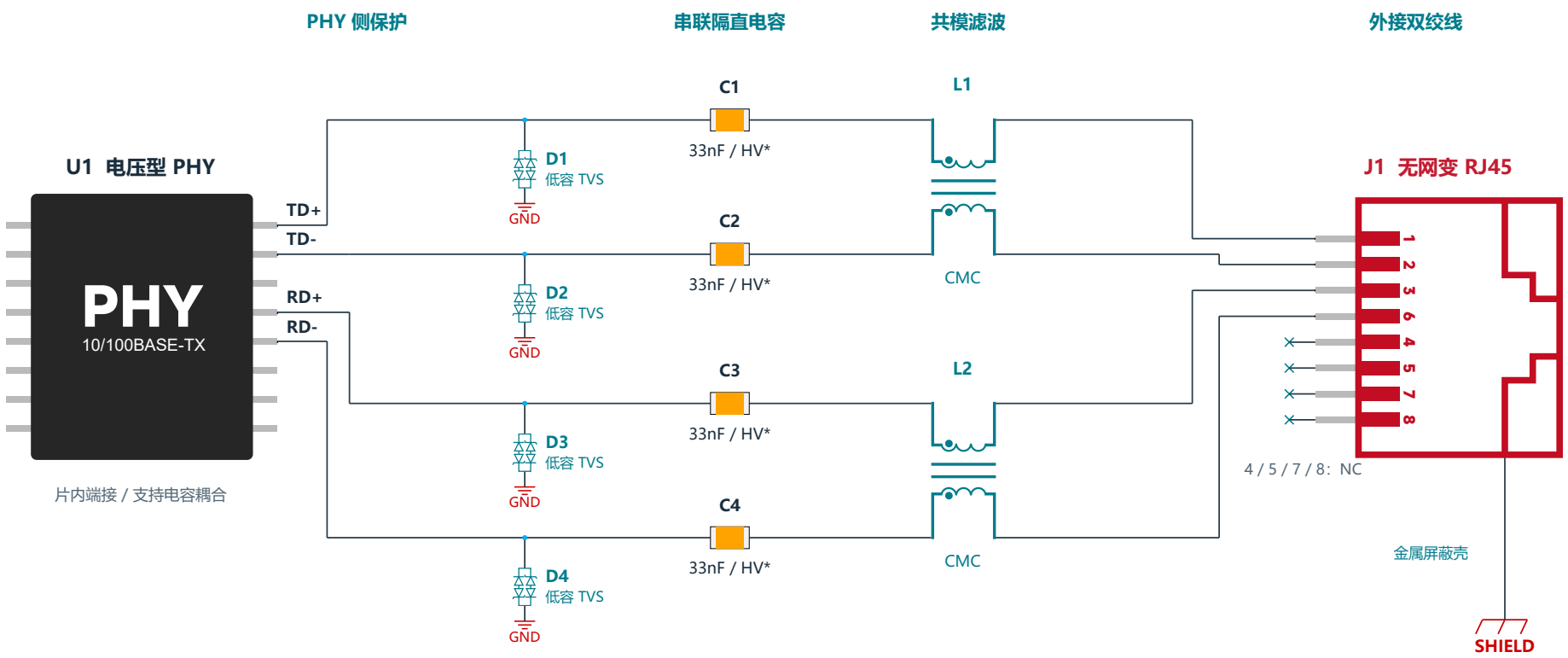


- WHLC-3216A系列



- WHLC-2012A系列

电路设计参考



C1-C4 是信号串联隔直电容；D1-D4 均位于 PHY 侧，分别回到电路 GND。

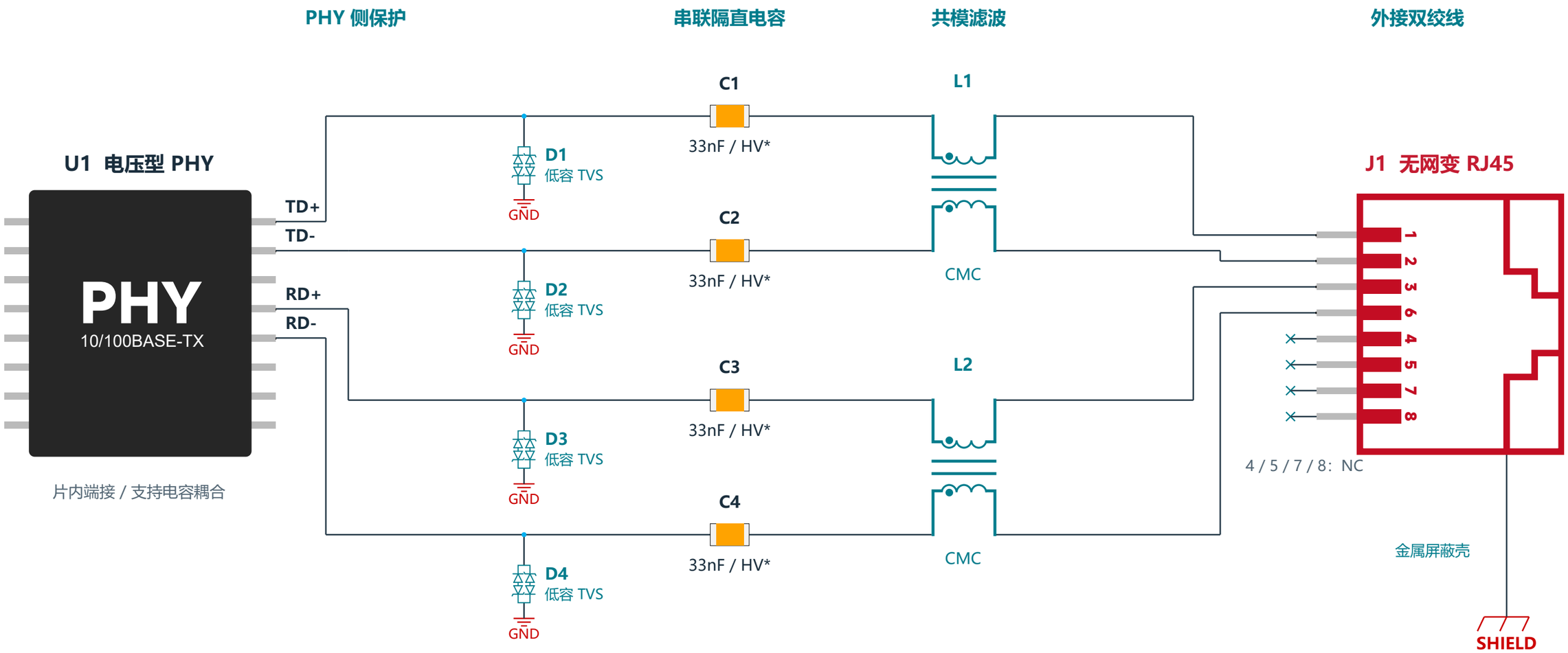
HV*：隔离额定值、试验条件与封装间距按整机要求核定；SHIELD 与 GND 分网。

100 m 为验证目标；本图尚未完成目标线长互通、隔离及 EMC 验证。

本版用于选型与样机验证；100 m 互通、端口隔离及 EMC 尚未验证，不作为量产定稿。

百兆电容式ChipLan&电压型PHY

非 PoE | 外接网线 | 片内端接、电容耦合电压型 PHY | 100 m 为待验证目标



C1-C4 是信号串联隔直电容；D1-D4 均位于 PHY 侧，分别回到电路 GND。

HV*：隔离额定值、试验条件与封装间距按整机要求核定；SHIELD 与 GND 分网。

100 m 为验证目标；本图尚未完成目标线长互通、隔离及 EMC 验证。

功能端名不代表封装脚号；RJ45 数字为线缆触点。圆点表示连接，跨线弧表示不连接；NC 端不相互短接。

电容耦合依据与 100 m 验证边界

主图是依据原厂电容耦合架构形成的样机候选电路。100 m 是用户目标，当前未闭合型号、对端及整机试验条件，不能标为已满足普通 100 m 网口要求。

器件 / 参数	数量与位置	设计理由与约束	采用依据
U1 电压型 PHY	1 个 MDI 功能端	选支持电容耦合及片内端接的实现。无 CT 供电、无外置上拉端接；通用功能端不能替代具体型号的封装与寄存器配置。	[1][2] 架构有条件
C1-C4 33 nF / HV*	4 颗 每线串联	采用原厂隔直值作为验证起点。无极性、成对匹配；容差、介质、隔离额定值、时间、漏电流及间距需选型核定。DC 耐压不等于 AC 隔离能力，不能用普通低压 MLCC 替代。	[1] 图9-3 [2] 图39 [3] 电容选择
D1-D4 低容双向 TVS	4 路 PHY 侧对地	每根 MDI 在 C 之前接 TVS 至电路 GND。工作电压须覆盖信号和共模范围；箝位、动态电阻、结电容及残压与 PHY 配合。图示为功能等效，未定型号与防护等级。	[2] 图39 [3] Protection
L1 / L2 双线 CMC	2 组 电容与 RJ45 间	为两组线对提供共模滤波。选择适用于 10/100M 的阻抗曲线、插损、回损及平衡特性；不是串联差模电感，也不能只凭 2012 封装选型。	[2][3] 位置为本版工程实现
J1 / SHIELD 无网变网口	1 个 线缆侧	线对为 1/2、3/6；其余触点各自开路。壳体接 SHIELD，GND 分网。本版不增加未经验证的空闲对端接或 GND-SHIELD 耦合。	[2] 图39 功能端映射
自耦变压器 本图不装	0 个	本版未找到与所选电容耦合架构相符的原厂接法。自耦绕组不能提供原副边隔离；其抽头直接接 GND 会建立线缆到电路地的直流通路。	[1][2] 主图 导通关系推导
100 m 目标 待专项验证	整条链路 非器件额定值	原厂已有长线实验，不能跨 PHY、对端及环境推广。须验证 10M/100M、自协商与 MDI-X、长短线、掉线/误码、发射波形与回损，并单独完成隔离和 EMC 测试。	[2][3][4] 未实测

原厂资料与采用边界（点击厂商名称打开）

[1] • TI — DP83826 数据手册，SNLS647I，2025-08，p1、p95-97，图9-3。依据为电压型 MDI 与四路 33 nF 隔直结构；未据此宣称本图 100 m 或 EMC 通过。

[2] • ADI — ADIN1200 Rev.B，p42-43，图39；p75-76，表98。依据为片内端接、PHY 侧 TVS、CMC 建议及短线范围；该器件电容耦合需关闭接收零功耗端接。

[3] • ADI — ADIN1300 and ADIN1200 with Capacitive Coupling，2021-02-11，Protection / Configurations / Evaluation。长线结果是 ADIN1300 两端电容耦合、标称条件的实例；不能替代通用百兆网口对普通对端的验证。

[4] • TI — TLK110 Ethernet PHY Transformerless Operation，SLLA327，2012-09，p3、p6-8。120 m 结果仅属其指定 TLK110 电路，且原文说明未完全符合 IEEE。本图不采用其上拉端接。

进入量产前的确认条件

确定实际 PHY、CMC、TVS、隔直电容及 RJ45 型号；在温度和电源角点验证 0.5/1/10/50/100 m 链路及常用磁耦合对端。隔离试验明确测试节点、AC/DC、幅值与时间；EMC 明确等级、耦合与判据。若必须直接满足普通 100 m 网口设计目标，应优先采用有相应验证依据的磁隔离架构。