电路设计

10/100BASE-T集成式网络接口&电流型PHY

方案简介

1. 适用范围
用于非PoE的10BASE-T/100BASE-TX接口；PHY须采用外置端接，且PHY侧两个中心抽头均允许接偏置电源。VBIAS典型3.3V，实际取值按PHY规范确定。

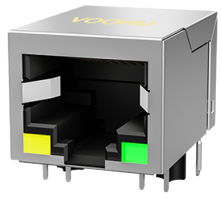
2. PHY侧端接与旁路
TD±、RD±分别接J1的TX±、RX±。R1-R4各49.9Ω±1%，每条信号线经电阻上拉至VBIAS，构成端接与偏置；C1/C2各100nF就近旁路至GND。CT_TX、CT_RX接VBIAS，C3/C4各100nF分别靠近对应CT接至GND。

3. 隔离与线缆侧连接
J1内置两组1:1隔离变压器及共模扼流圈CMC。常规MDI下，TX±接RJ45线缆触点1/2，RX±接3/6。收发对自动交换需PHY支持Auto-MDIX，对内极性须保持对应。

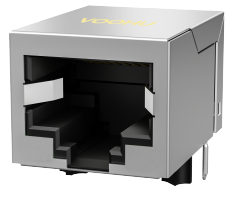
4. Bob Smith端接与屏蔽
TX/RX线缆侧CT及空闲对4/5、7/8依次经Ra、Rb、Rc、Rd（各75Ω）汇至BS；BS经内置Cb（1nF）及BS_RET接SHIELD，外部不重复加装。SHELL直接接同一SHIELD；GND、SHIELD及保护地PE的连接关系按整机设计确定。

5. 绝缘与实现要求
HV*：TI指南建议Cb耐压至少2kV，额定电压类型及试验条件按器件规格核实。Bob Smith用于共模端接，不替代浪涌保护。R1-R4及C1/C2靠近PHY，MDI走线按100Ω差分阻抗设计。PHY的供电、时钟、复位及配置另行设计；产品图示仅展示外观，选型须核对内部电路和实际焊脚。

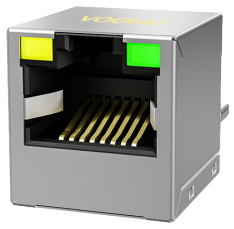
产品图示



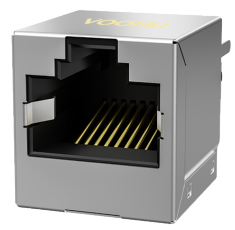
- SYT111B002-BA2A1D



- SYT111B002-GWA1D

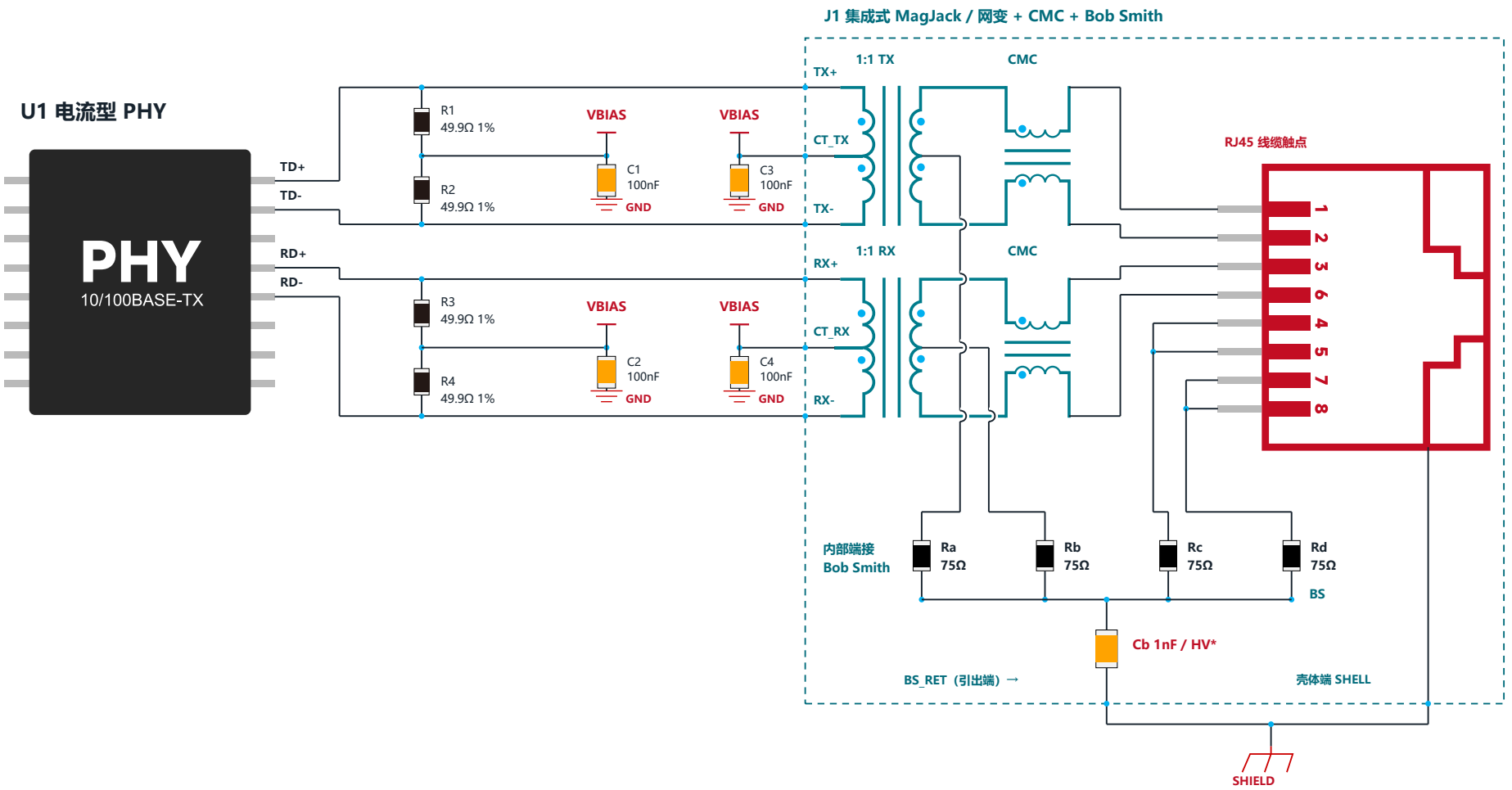


- SYT511B048-AA1A8D



- SYT511B048-GWA8D

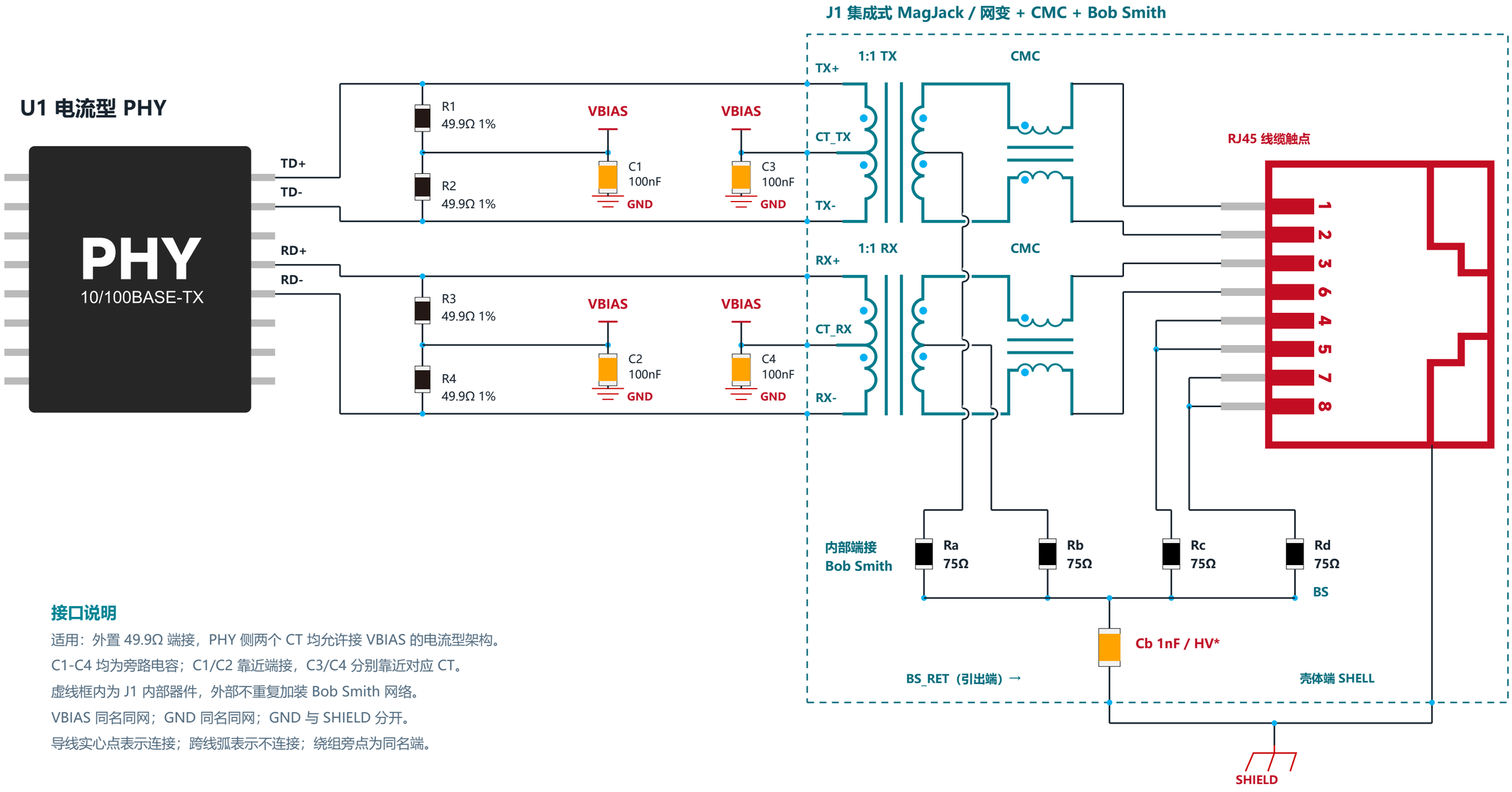
标准设计参考



▲ 注：以上方案均为标准设计仅供参考，最终电路设计以现场需求为准，来电咨询可免费获取深入支持。

10/100BASE-T 集成式网络接口 & 电流型 PHY

非 PoE | 外置端接、PHY 侧双 CT 接偏置电源 | 集成式 MagJack



接口说明

适用：外置 49.9Ω 端接，PHY 侧两个 CT 均允许接 VBIAS 的电流型架构。

C1-C4 均为旁路电容；C1/C2 靠近端接，C3/C4 分别靠近对应 CT。

虚线框内为 J1 内部器件，外部不重复加装 Bob Smith 网络。

VBIAS 同名同网；GND 同名同网；GND 与 SHIELD 分开。

导线实心点表示连接；跨线弧表示不连接；绕组旁点为同名端。

HV*：TI 建议 Cb 额定电压至少 2kV；实际电压类型、试验条件及模块绝缘规格须核实。功能端名按选定器件的实际焊脚映射。

器件参数、连接方式与设计依据

依据采用百兆 PHY 与磁性接口原始资料；器件名称保持通用，示例芯片仅用于技术溯源。

器件 / 参数	数量与位置	设计理由与约束	原厂依据
U1 / 电流型 PHY	1 个，J1 外	限定为外置端接、两个 PHY 侧 CT 均接偏置电源的百兆架构。VBIAS 取值及完整供电、时钟、复位和配置按选定 PHY 核实。	E3 p68-69；E2 p4
R1-R4 / 49.9Ω±1%	4 颗，J1 外	每条 TD±、RD± 经一颗电阻接 VBIAS，形成端接与偏置。端接公共端不直接接 GND；R1-R4 靠近 PHY 放置。	E3 p69 图7-2；E2 p4 图3-4
C1、C2 / 100nF	2 颗，J1 外	分别接两组端接的 VBIAS 节点与 GND，为高频电流提供局部旁路；各自靠近对应端接电阻放置。	E3 p69 图7-2；E2 p4 §3.2
C3、C4 / 100nF	2 颗，J1 外	CT_TX、CT_RX 直连 VBIAS，各自以 100nF 就近旁路到 GND。按原厂每通道配置保留，不能仅因同网就省去局部旁路。	E3 p69 图7-2；E2 p4 §3.2
TX/RX 变压器 / 1:1	2 组，J1 内	传递差分信号并隔离 PHY 与线缆。PHY 侧 CT 接 VBIAS；线缆侧 CT 各经 75Ω 接 BS。变比、同名端及磁性参数按选定 PHY 与模块匹配。	E3 p69 图7-2；E4 p5
CMC / 共模扼流圈	2 组，J1 内	位于变压器线缆侧，分别串入两条数据线，以共模阻抗抑制共模干扰。模块的插损、回损、平衡及共模特性仍须满足接口要求。	E1 p7 §2.4；E4 p5
Ra-Rd / 75Ω	4 颗，J1 内	Ra、Rb 分别连接 TX/RX 线缆侧 CT 与 BS；4/5 先短接后经 Rc、7/8 先短接后经 Rd 接 BS。四支路各自经 75Ω 汇流，仅用于本百兆非 PoE 范围。	E1 p6 §2.3；E4 p5
Cb / 1nF，HV*	1 颗，J1 内	BS 经 Cb、BS_RET 接 SHIELD，形成高频共模回路并隔开直流。TI 建议额定电压至少 2kV；电压类型、试验条件和内置电容规格须另核实，不等于浪涌等级。	容量/内置：E4 p5；电压建议：E1 p6
J1 / RJ45 与屏蔽端	1 个集成模块	常规 MDI：TX+/- 对应触点 1/2，RX+/- 对应 3/6；Auto-MDIX 需 PHY 支持。SHELL 与 BS_RET 在模块外接同一 SHIELD。触点号不是 PCB 焊脚号。	E3 p69 图7-2；E4 p5；E1 p7
GND / SHIELD	两个参考网络	C1-C4 接电路 GND；Cb 的屏蔽侧及金属壳接 SHIELD。本图没有 GND-SHIELD 耦合网络；机壳与 PE 的连接按整机设计确定。	E1 p6-7；E4 p5（结构）

技术来源与采用范围

E1 • Texas Instruments
AN-1469 / SNLA079D，Rev. D，2013-04，p4-7、p13：端接布局、100Ω 差分布线、75Ω + 1000pF 共模端接及至少 2kV 的电容建议。

E2 • Texas Instruments
DP83848 to DP83826A Hardware Rollover Document，SDAA089，2025-09，p4 §3.2 / 图3-4：电流型外置端接、CT 接偏置电源及每通道 100nF。

E3 • Texas Instruments
DP83848C/I/VYB/YB，SNLS266E，2015-03，p68-69、图7-2：10/100Mb/s 接口的 49.9Ω、四颗 0.1μF、1:1 磁性连接。适用条件须与所选 PHY 一致。

E4 • Pulse Electronics
J403.K，2012-08，p5 J0011 等系列内部图：线缆侧 CMC、4×75Ω 及内置 0.001μF。所用原厂文档公开副本支持该结构。该页未给出 Cb 耐压，也不证明展示型号匹配。

落地要求

MDI 按 100Ω 差分布线；端接与 CT 电容就近放置，保持模块隔离边界。选型后核对内部结构、焊脚与供电条件。Bob Smith 为共模端接，不替代 ESD 或浪涌保护。

使用边界：本方案为非 PoE、特定电流型 MDI 架构的参考设计。实际 PHY 与 MagJack 选型后，仍需核对额定值、焊脚和整机接地，并完成链路、EMC 与绝缘等验证。图文核查不能代替样机试验。