电路设计

百兆以太网防静电和防雷的设计（电流型 PHY）

方案简介

1. 适用范围

非 PoE 的10BASE-T/100BASE-TX端口；分立RJ45＋外置TD网变，有可靠机壳地/PE。适用于**每线外置49.9Ω端接、PHY侧两个CT均接偏置电源**的电流型架构。

2. 端接、偏置与旁路

R1-R4各49.9Ω±1%，每根MDI信号经电阻接VBIAS。C1/C2各100nF，靠近端接；CT_TX/CT_RX同接VBIAS，C3/C4各100nF就近接GND。**VBIAS取值按PHY确定。**

3. 磁件与线缆连接

T1含两路1:1隔离变压器和线缆侧CMC。常规MDI下TX±接RJ45的**1/2**，RX±接**3/6**；空闲触点4/5、7/8各自成对连接。收发对交换需PHY支持。

4. 分级防护

D1/D2为PHY侧低容双向差模TVS。G1/G2从线缆侧CT接SHIELD；G3/G4从两组空闲对接SHIELD，接入点均在75Ω之前。**SHIELD连接可靠机壳/PE。**

5. 共模端接与接地

四个支路各经75Ω汇入BS，再经C5（1nF高压电容）接SHIELD；金属壳接同网。**GND与SHIELD分网。**TVS、GDT、磁件及C5须按防护和绝缘目标配合选型，依据见第3页。

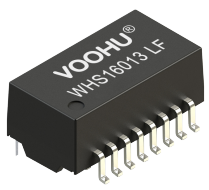
产品图示



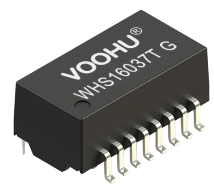
● SYT561188-AB1A3DY1027



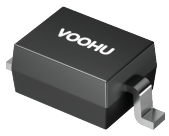
● SYT60S1188-AB1A6DY1008



● WHS16013LF



● WHS16037TG(工业级)

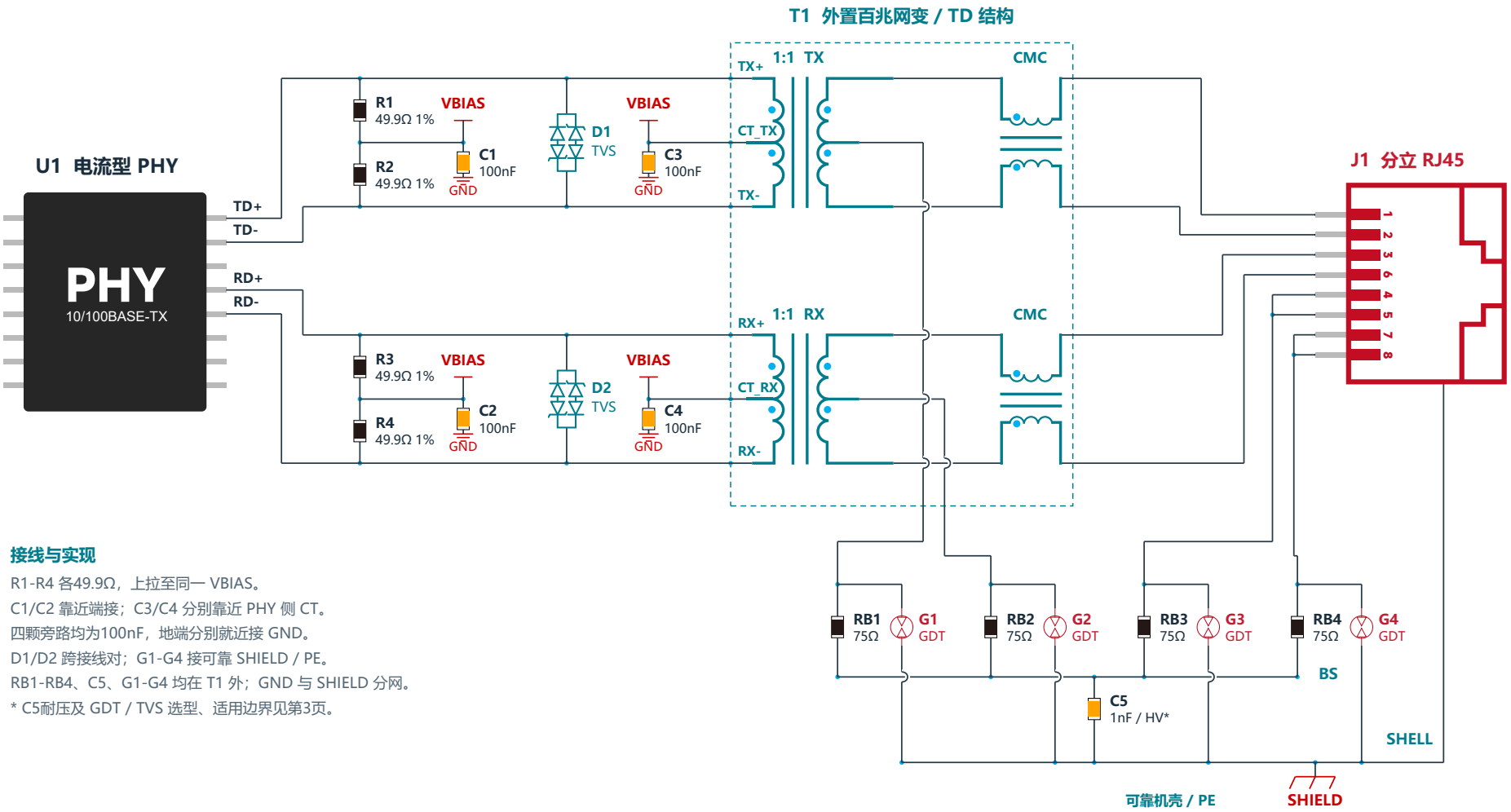


● WHTA3V30P8B



● WHGD090V1P0B

标准设计参考



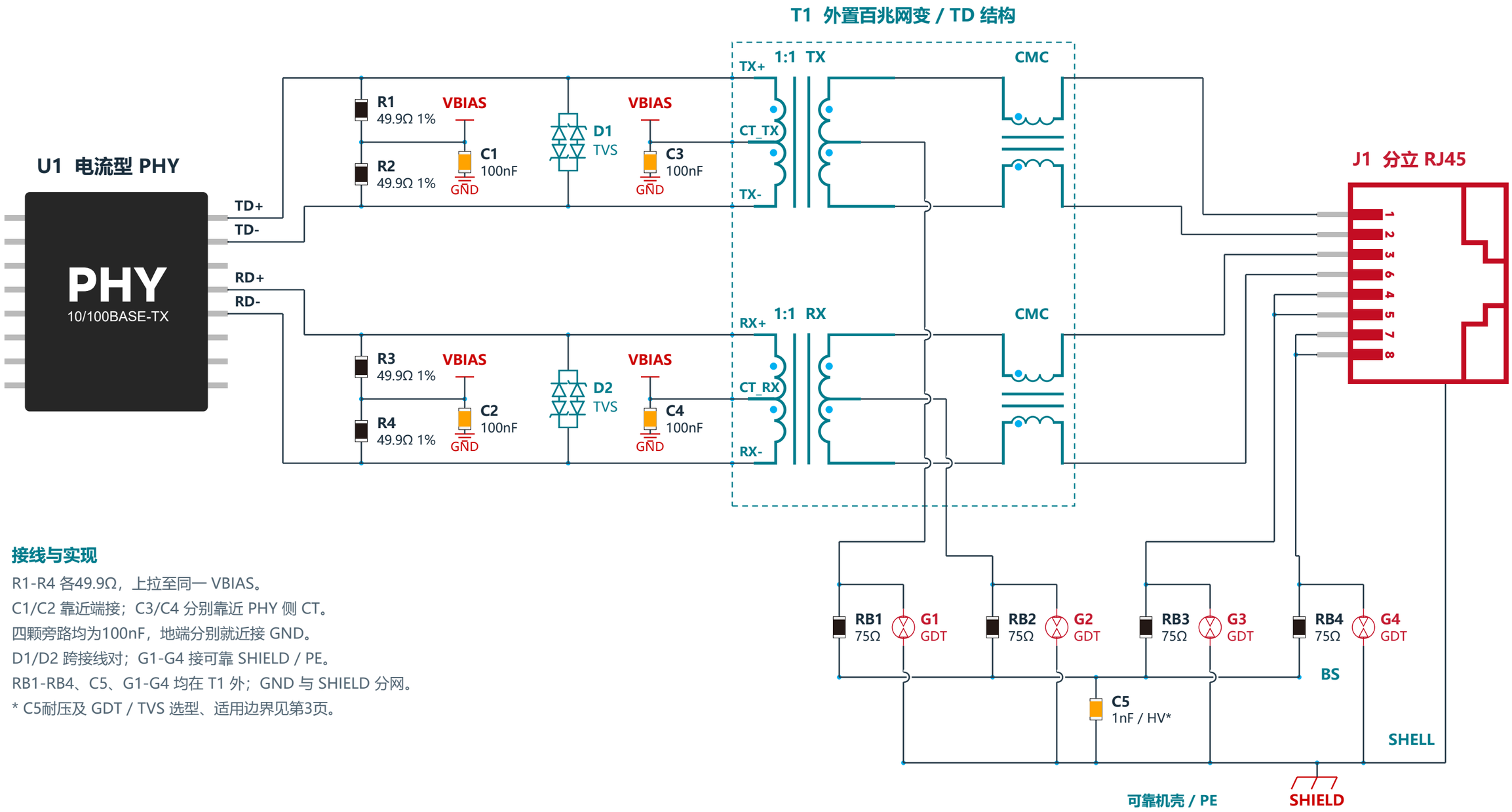
接线与实现

R1-R4 各49.9Ω，上拉至同一 VBIAS。
C1/C2 靠近端接；C3/C4 分别靠近 PHY 侧 CT。
四颗旁路均为100nF，地端分别就近接 GND。
D1/D2 跨接线对；G1-G4 接可靠 SHIELD / PE。
RB1-RB4、C5、G1-G4 均在 T1 外；GND 与 SHIELD 分网。
* C5耐压及 GDT / TVS 选型、适用边界见第3页。

参考电路用于设计选型；最终连接、器件参数与防护性能按实际选型及整机验证结果确定。

百兆以太网防静电和防雷的设计（电流型 PHY）

10BASE-T / 100BASE-TX | 非 PoE | 外置上拉端接 / CT 偏置 | 可靠机壳地 / PE



接线与实现

R1-R4 各49.9Ω，上拉至同一 VBIAS。

C1/C2 靠近端接；C3/C4 分别靠近 PHY 侧 CT。

四颗旁路均为100nF，地端分别就近接 GND。

D1/D2 跨接线对；G1-G4 接可靠 SHIELD / PE。

RB1-RB4、C5、G1-G4 均在 T1 外；GND 与 SHIELD 分网。

* C5耐压及 GDT / TVS 选型、适用边界见第3页。

功能端名不代表封装脚号；RJ45数字为线缆触点。实心点为连接，绕组旁点为同名端，跨线弧为不连接。保护参数选型见第3页。

器件作用、采用依据与验证条件

本图采用TI百兆电流型接口实例，并组合TVS与GDT。下表区分原厂依据和工程设计；保护器件及测试条件尚未确定，本组合尚无整机防护等级结论。

器件 / 参数	数量与位置	设计理由与约束	采用依据
U1 / R1-R4	1 PHY；4R	每根TD±/RD±经49.9Ω±1%接VBIAS，差模端接约100Ω。仅适用于该外置端接架构；若PHY内置端接或CT规则不同，应按其原厂重设，不能仅凭“电流型”套用。	E1 图3-4；E2 §2.1
C1-C4 / VBIAS	4颗100nF	C1/C2在两组端接旁，C3/C4分别在PHY侧CT旁，均由VBIAS旁路到GND。VBIAS同网仍需就近放置；DP83848实例为3.3V，通用图不固定电压。	E1 p4；E2 图2
T1 / CMC	2通道；TD结构	1:1隔离变压器 + 线缆侧共模扼流圈；保持极性对应。磁件电感、插损、回损、平衡及绝缘按所选PHY核定；GDT回路经过绕组/CMC，须核查其脉冲承受能力。	基本接口：E2；脉冲校核：E5
D1 / D2	2个差模保护通道	双向低容TVS跨PHY侧P/N，靠近网变并缩短支路。VRWM覆盖正常差分摆幅；实际浪涌电流下的箝位、响应及能量应满足PHY瞬态耐受。此支路不直接箝位线对共模。	E3 图4；E5 p6-9
G1-G4 / GDT	4路；T1外	G1/G2：线缆CT→SHIELD；G3/G4：空闲对→SHIELD，均在75Ω前。选型校核冲击点火、通流、残压与端口对机壳绝缘测试；此接法不保证磁件免受差模浪涌。	CT局部思路：E4 p8；空闲对扩展：工程设计
RB1-RB4 / C5	4×75Ω + 1nF	两路CT和两组空闲对各经75Ω汇入BS，经C5接SHIELD。构成共模端接，不替代TVS/GDT。HV*参考≥2kV，AC/DC额定及脉冲能力按实际绝缘要求核定；同时校核75Ω脉冲应力。	E2 p4、p6；器件应力校核：E5
J1 / 屏蔽 / 地	1个分立RJ45	TX接1/2，RX接3/6；非PoE下4/5、7/8各成一组。SHELL、GDT及C5回到可靠机壳/PE，GND保持独立。接口焊脚、LED和PHY供电、时钟、复位按选型补齐。	E2 §2.3-2.4；接地条件由用户确认

原厂资料与采用边界（点击厂商名称打开）

E1 • Texas Instruments
SDAA089，2025-09，p4 §3.2 / 图3-4。DP83848百兆电流型实例：每线49.9Ω接AVDD33，端接与各CT就近100nF。仅用于本图限定架构；该实例偏置为3.3V。

E2 • Texas Instruments
AN-1469 / SNLA079D，2013-04，p4-7。图2及§2.1-2.4：磁件、布线、共模端接与屏蔽。C5采用p6正文的1000pF及≥2kV建议；图2标1500pF，不视为唯一强制值。

E3 • Semtech
Ethernet Protection Methodology，2020-02-19，图4。采用PHY侧跨线对TVS思路；按信号、PHY耐受和实际脉冲选择箝位及能量。文中的示例测试结果不转为本方案等级。

E4 • Littelfuse
General Port Protection，2024，p8、p10。p8为PoE++ CT至地保护示例；仅采用GDT局部泄放思路。p10为以太网分级保护示例。移植至本非PoE电路、扩展空闲对属于工程组合。

E5 • Bourns
Ethernet and PoE Protection Technical Article，2006-12，p6-9。GDT触发可能增加PHY侧脉冲应力，须校核TVS与磁件配合。仅采用器件协同原则，未沿用其历史测试标准或等级。

落板与防护验证

MDI按100Ω差分阻抗设计；R1-R4、C1/C2靠近PHY，C3/C4靠近对应CT；D1/D2靠近网变。GDT至PE回路短宽并与PHY区分隔。确定IEC 61000-4-2/-4-5的等级、波形、耦合网络、源阻抗及判据后，验证链路、残压、脉冲应力和绝缘。无固定kV承诺，不含PoE、直击雷或持续工频故障防护；展示产品未作匹配确认。