电路设计

10/100BASE-T 网络接口 & 百兆网络变压器 & 电压型 PHY

方案简介

1. 适用范围

非 PoE、分立 RJ45 + 外置百兆网变。采用**片内 MDI 端接**且允许两路 CT 分别经电容接地的电压型 PHY。

2. PHY 侧连接

MDI0±、MDI1±分别接 T1A、T1B；数据线不重复外加49.9Ω。**CT_A、CT_B 各经 C1、C2（100nF）接 GND。**两路 CT 保持独立，不接偏置电源。电容紧靠对应 CT。

3. 网变与线缆连接

T1 为两路 **1:1 隔离变压器 + 线缆侧 CMC**的 TD 结构。A±接 RJ45 1/2，B±接3/6；收发角色按 PHY 的 MDI/MDI-X 配置确定。

4. Bob Smith 与屏蔽

两路线缆侧 CT 分别经 R1、R2 接 BS；4/5、7/8各自并组后，经 R3、R4 接 BS。**R1-R4 均为75Ω**；BS 经 C3（1nF，额定耐压≥2kV）接 SHIELD，金属壳直接接同一 SHIELD。

5. 实现边界

R1-R4、C3 均为板上外置器件。**GND 与 SHIELD 分网**，整机关联另行设计。PHY 供电、时钟、复位、MAC 及 LED 外围按实际器件补齐，功能端名与触点号须映射到实际焊脚。

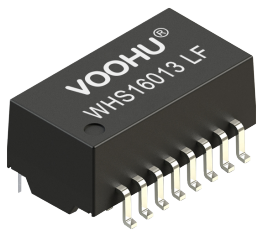
产品图示



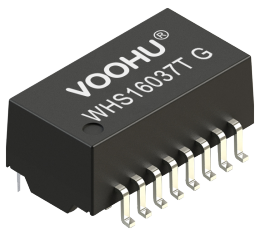
- SYT561188-AB1A3DY1027



- SYT60S1188-AB1A6DY1008

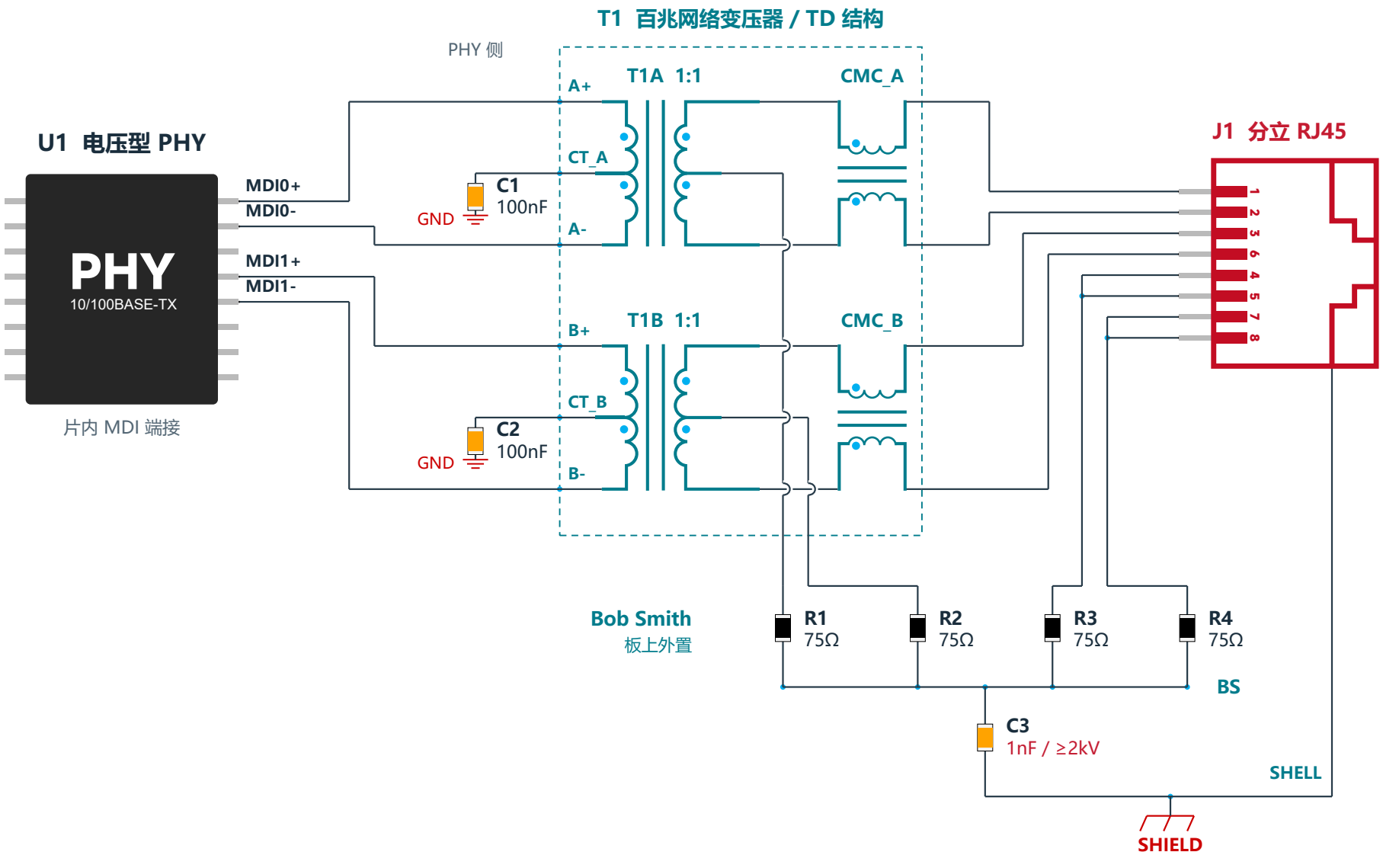


- WHS16013LF



- WHS16037TG(工业级)

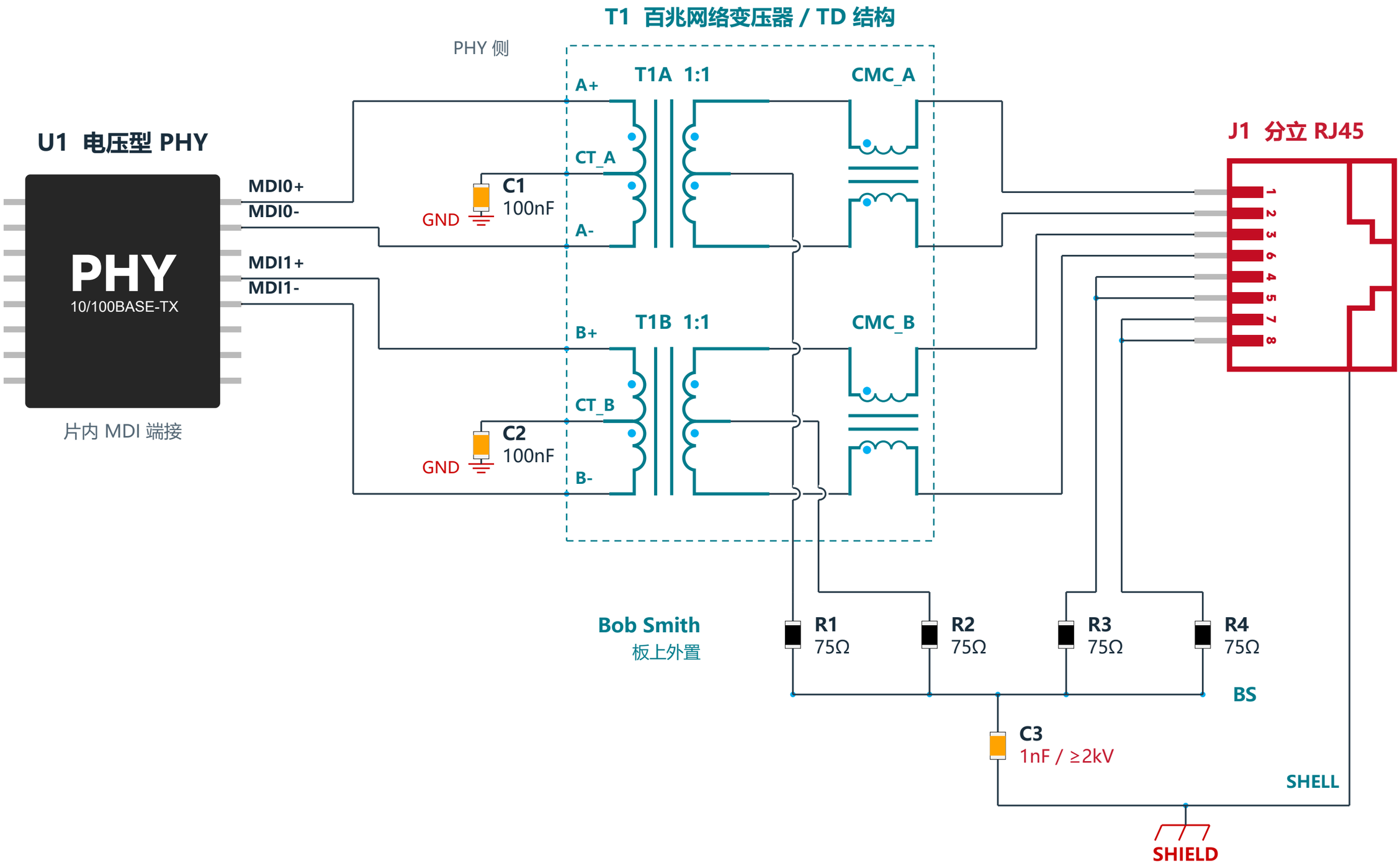
标准设计参考



参考电路用于设计选型；最终连接、器件规格与整机性能按实际选型及验证结果确定。

10/100BASE-T 网络接口 & 百兆网络变压器 & 电压型 PHY

非 PoE | 片内 MDI 端接 | PHY 侧 CT 各经 100nF 接 GND



功能端名不代表封装脚号；RJ45 数字为线缆触点。实心点表示连接，绕组旁点为同名端，跨线弧表示不连接。

连接方式、器件作用与适用条件

主图采用通用功能符号；技术依据落实到明确的百兆器件及文献。本文是MDI接口参考电路，不包含完整PHY外围或防护认证结论。

器件 / 参数	数量与位置	设计理由与约束	采用依据
U1 / 电压型 PHY	1 个	采用片内 MDI 端接、PHY 侧 CT 经电容接地的百兆架构；因此不再外加49.9Ω或CT偏置电源。仅凭“电压型”名称不能判定全部外围接法。	E1 p42；E2 p1
C1、C2 / 100nF	2 颗，T1 外	分别接 CT_A、CT_B 与 GND，为共模分量提供交流旁路并隔断直流。两路CT独立，各用一颗电容，紧靠对应引脚；实际耐压、介质与封装按工作条件选定。	连接：E1 p42-43；靠近CT：E3 p4
T1A、T1B / 1:1	2 路，T1 内	隔离耦合两对差分信号。两侧均带中心抽头；选型须满足目标PHY的电感、插损、回损、共模和绝缘要求。图示TD由隔离变压器与CMC组成，不含自耦级。	E1 p42-43、表28；E3 p4图2
CMC_A、CMC_B	2 路，T1 内	双绕组共模扼流圈串在线缆侧数据通路，用于衰减共模干扰。两绕组及同名端保持配对，差分通道分别贯通；不能把两条数据线短接。	E1 p42；E3 p4、p7
R1-R4 / 75Ω	4 颗，T1 外	R1/R2分别接两路线缆侧CT；R3/R4分别接4/5、7/8线对。各先串75Ω再汇入BS。±1%作为本版选型建议；这些电阻用于共模端接，不是PHY侧差分端接。	E3 p4图2、p6 §2.3；精度为工程建议
C3 / 1nF，≥2kV	1 颗，T1 外	BS经C3接SHIELD，提供高频共模回路并隔断直流。额定耐压依据原厂建议。具体器件须校核AC/DC额定值、试验条件与绝缘认证；该耐压不代表系统浪涌等级。	E3 p6 §2.3
J1 / 分立 RJ45	1 个	A±→1/2，B±→3/6；4/5同组，7/8同组，各经一个75Ω接BS，仅适用于本版非PoE百兆用途。RJ45触点号须按实际连接器映射到焊脚；金属壳接SHIELD。	E3 p4、p6-7；映射按本图
GND / SHIELD	两个网络	GND连接PHY侧电容；SHIELD连接Bob Smith电容及金属壳。图中不添加GND与SHIELD的固定RC网络；与机壳/PE的关系及耦合位置按整机结构、绝缘和EMC设计。	E3 p7 §2.4；耦合方案待整机确定

原厂资料与采用边界

E1 • Analog Devices

ADIN1200 数据手册，Rev.B，2024-05。p24，表18；p42-43，Magnetics、图38、表28；p86-87，PCB Layout。采用MDI映射、片内端接及独立100nF接地。图38含自耦级，本图选用两级TD磁件。

E2 • Texas Instruments

DP83825I 数据手册，SNLS638C，2026-04。p1、p86-87 §8.4：百兆电压型驱动、片内MDI端接和100Ω差分布线。其电源及封装参数不用于通用主图。

E3 • Texas Instruments

AN-1469，SNLA079D，2013-04。p4 图2、p6 §2.3、p7 §2.4。仅采用隔离后的线缆侧端接与屏蔽原则；1nF/≥2kV取自p6正文，图2另画1500pF。PHY侧供电和49.9Ω不采用。

落板与选型核查

两对MDI按100Ω差分阻抗布线，短而对称，减少支路与换层；PHY侧保持连续参考平面，隔离区域的铜皮与间距另行核定。产品图片和型号仅保留为展示素材，未据此确认匹配。选定PHY、网变和RJ45后，核对完整脚号、内部CT/CMC结构、10M模式规格及磁件参数，再完成链路、回损与EMC验证。